

“萤火虫 2 号 GPU”中像素 cache 的设计与实现

杨 铮¹, 韩俊刚¹, 刘 欢¹, 李卯良²

(1 西安邮电大学 计算机学院, 陕西 西安 710121;

2 西安邮电大学 电子工程学院 陕西 西安 710121)

摘 要: 为了提高“萤火虫 2 号 GPU”中的指令和数据的传输速度,设计了一款连接段操作 FOP 模块、2D 图像加速器与帧缓冲区之间的像素 cache,它采用了最近最少使用(LRU)的替换算法和二路组相连的映射方式,成功地接收来自段操作和 2D 图像加速器发送的指令、数据以及地址,并且作为高速缓存将数据传递给存储管理器(MMU)。

关键词: GPU;像素 cache;LRU;二路组相连映射

中图分类号: TP302.1

文献标识码: A

文章编号: 1000-7180(2017)04-0098-04

Design and Implementation of the Pixel Cache in "Firefly 2nd GPU"

YANG Zheng¹, HAN Jun-gang¹, LIU Huan¹, LI Mao-liang²

(1 School of Computer Science, Xi'an University of Posts & Telecommunications, Xi'an 710121, China;

2 School of Electronic Engineering, Xi'an University of Posts & Telecommunications, Xi'an 710121, China)

Abstract: In order to improve the speed of instructions and data transfer in "firefly 2nd GPU", we designed a pixel cache connect the FOP, 2D graphics accelerator and frame buffers. It uses the LRU algorithm and two ways group connected mapping mode, successfully received from FOP and 2D graphics accelerator sends instructions, datas, and address, as well as send them to Storage Manager (MMU).

Key words: GPU; the pixel cache; LRU; two way group mapping

1 引言

Cache(高速缓冲存储器)是一种高速缓冲存储器子系统,它是连接处理器和 RAM 的重要组成模块,是提高二者之间数据传输速度的重要组成部分。

本文所设计的像素 cache 是 GPU 中 3D 段操作、2D 图像加速器和帧缓冲区之间进行数据的交换的部分,是提高三者之间数据交换速度的重要模块,最终提供 3D 段操作和 2D 图像加速器所要读写的数据,以提高“萤火虫 2 号 GPU”(Firefly 2nd, GPU)^[1-4]中的指令和数据的传输速度。

2 像素 cache 的顶层结构

像素 cache 的上一级是段操作模块^[5]和 2D 图像加速器模块,下一级是帧缓冲区的 MMU 控制模

块。段操作和 2D 图像加速器通过像素 cache 读写数据到帧缓冲区,整体结构图如图 1^[6]所示。

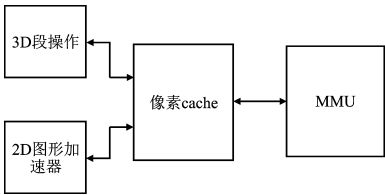


图 1 像素 cache 的顶层结构

3 像素 cache 的功能描述

段操作或 2D 图像加速器对像素 cache 进行读写,然后再通过像素 cache 读写到帧缓冲区中。像素 cache 里面存放了经常访问的数据,所以当需要不

的情况下,利用 DCVSL 结构本身的一些特性来检测硬件木马的方法.选取 ISCAS85 C432 标准电路作为测试电路,分别在硬件木马触发和未触发条件下,通过 HSPICE 对电路进行蒙特卡罗分析仿真,通过测量电路的平均短路电流来检测硬件木马的存在,验证了该方法的可行性,并且对使用 DCVSL 结构来设计电路检测硬件木马具有一定的实际参考价值.

参考文献:

[1] 刘华锋,罗宏伟,王力伟. 硬件木马综述[J]. 微电子学, 2011, 41(5):709-713.

[2] 倪林,李少青,马瑞聪,等. 硬件木马检测与防护[J]. 数字通信, 2014, 41(1):59-63 .

[3] 陈华锋,瞿有甜,姜燕冰. 硬件木马电路检测技术与发展趋势 [J]. 浙江大学学报(理学版), 2014, 41(1): 49-51.

[4] 赵崇征,邓高明,赵强. 基于旁路分析的集成电路芯片硬件木马检测[J]. 微电子学与计算机, 2011, 28(11): 5-9.

[5] 刘长龙,赵毅强,史亚峰,等. 基于侧信道分析的硬件木马建模与优化[J]. 华中科技大学学报(自然科学版), 2013, 41(2):53-57.

[6] Ni Lin, Li Shaoqing, Chen Jihua, et al. The influence on sensitivity of hardware Trojans detection by test vector[C]//Proceeding of 2014 Communications Security Conference(CSC2014). Beijing: [s. n.], 2014: 46 - 51.

[7] 赵志勋,倪琳,李少青. 硬件木马电路功耗的检测方法 [J]. 北京邮电大学学报, 2015, 38(4):128-132.

[8] 倪琳,李少青,赵志勋. 工艺偏差下基于功耗与延时的硬件木马检测有效性分析[J]. 数字通信, 2014, 41(5): 36-41.

[9] Wei S, Potkonjak M. Gate-level characterization: foundations and hardware security applications[C]//DAC . IEEE, 2010:483 -486.

[10] 李雄伟,王晓晗,张阳,等. 基于多旁路综合分析的硬件木马检测方法[J]. 计算机仿真, 2015, 32(3):216-219.

作者简介:

程伟男, (1987-), 硕士研究生. 研究方向为微电子与固体电子. E-mail: 380176931@qq. com.

李磊男, (1982-), 研究员. 研究方向为专用集成电路 (ASIC).

成祥男, (1989-), 硕士研究生. 研究方向为 EDA.

(上接第 101 页)

[4] 李涛, 杨婷, 易学渊, 等. 萤火虫 2: 一种多态并行机的硬件体系结构[J]. 计算机工程与科学, 2014, 36(2): 191-200.

[5] 韩俊刚, 姚静, 李涛, 等. 多态并行机上的 3D 图像渲染[J]. 西安邮电大学学报, 2015, 20(2):1-6.

[6] 肖灵芝. GPU 存储管理系统的设计与实现[D]. 西安: 西安邮电大学, 2013.

[7] 胡伟武. 计算机体系结构[M]. 北京: 清华大学出版社, 2011.

作者简介:

杨铮男, (1990-), 硕士研究生. 研究方向为软件工程. E-mail: yangzheng9004@163. com.

韩俊刚男, (1943-), 教授. 研究方向为软件和硬件形式化验证、图像处理器和计算机体系结构.

刘欢男, (1991-), 硕士研究生. 研究方向为计算机系统结构.

李卯良男, (1991-), 硕士研究生. 研究方向为电路与系统.